

PATENT ABSTRACTS OF JAPAN

YAB-432445

(11) Publication number : 11-102637
 (43) Date of publication of application : 13.04.1999

(51) Int. Cl.

H01J 1/30
 // H01J 29/96
 H01J 31/12
 H01J 31/15

(21) Application number : 09-263806

(71) Applicant : FUTABA CORP
 AGENCY OF IND SCIENCE &
 TECHNOL

(22) Date of filing : 29.09.1997

(72) Inventor : HONDA KENICHI
 KAGAWA NORITAKA
 ITO SHIGEO
 ITO JUNJI
 KANAMARU MASATAKE

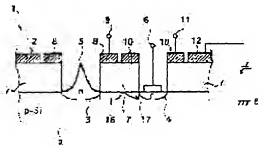
(54) MOSFET TYPE ELECTRON EMISSION ELEMENT

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a MOSFET type electron emission element wherein an emitter current is stable even in a low vacuum atmosphere.

SOLUTION: A MOSFET type electron emission element 1 has a drain 3 and a source 4 of an n-type semiconductor on a surface of a substrate 2 of a p-type semiconductor. An emitter 5 of the n-type semiconductor is put on the surface of the drain 3. Gate electrodes 8 are provided so as to surround the emitter 5, on insulating layers 7 surrounding the drain 3 and the source 4. Control electrode 10 is provided near the gate electrode 8 on the insulating layer 7 between the drain 3 and the source 4. Shield electrode 12 which are electrically insulated from the gate electrodes 8 and the control electrodes 10 and are grounded directly or through the power source are provided on the surface of the insulating layers 7 on which the gate electrodes 8 and the control electrodes 10 are not formed. The insulating layers 7 are not charged due to gas, etc. Inversion layers are not generated in the substrate 2 under the insulating layers at the part except for the gate electrodes 8 and the control electrodes 10, and an extra current does not flow through unnecessary current paths.

Thus, a runaway of the emitter current does not occur, then an emission current of the emitter 5 is stabilized.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) Int.Cl.⁴

H 0 1 J 1/30

// H 0 1 J 29/96

31/12

31/15

識別記号

F I

H 0 1 J 1/30

29/96

31/12

31/15

F

C

F

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平9-263806

(22) 出願日 平成 9 年(1997) 9 月29日

(71) 出願人 000201814

双葉電子工業株式会社

千葉県茂原市大芝629

(74) 上記 1 名の代理人 弁理士 西村 教光

(71) 出願人 000001144

工業技術院長

東京都千代田区霞が関 1 丁目 3 番 1 号

(74) 上記 1 名の復代理人 弁理士 西村 教光 (外 1 名)

(72) 発明者 本多 健一

千葉県茂原市大芝629 双葉電子工業株式会社内

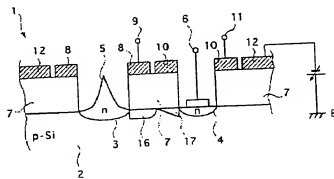
最終頁に続く

(54) 【発明の名称】 MOSFET型電子放出素子

(57) 【要約】

【課題】 低真空雰囲気においてもエミッタ電流が安定したMOSFET型電子放出素子を提供する。

【解決手段】 MOSFET型電子放出素子 1 は、p 型半導体基板 2 の表面に、n 型半導体のドレイン 3 とソース 4 を有している。ドレインの表面には n 型半導体のエミッタ 5 がある。ドレインとソースを囲む絶縁層 7 の上にはエミッタを囲んでゲート電極 8 がある。ドレインとソースの間の絶縁層上にはゲート電極に近接して制御電極 10 がある。ゲート電極と制御電極が形成されていない絶縁層の表面には、ゲート電極及び制御電極とは電氣的に絶縁され、電源を介して又は直接アースされたシールド電極 12 がある。絶縁層 7 にはガス等に起因する電荷がチャージしない。ゲート電極 8 と制御電極 10 以外の部分で、絶縁層下の基板 2 に反転層は生じず、不用な電流経路を介して余分な電流が流れることはない。エミッタ電流の暴走は起きず、エミッタの放出電流は安定する。



【特許請求の範囲】

【請求項1】 p型半導体基板と、前記p型半導体基板の表面に形成されたn型半導体のドレインと、前記ドレインの表面に形成されたn型半導体のエミッタと、前記p型半導体基板の表面に形成されたn型半導体のソースと、前記ドレインと前記ソースを囲んで前記p型半導体基板の表面に形成された絶縁層と、前記エミッタを囲んで前記絶縁層の上に形成されたゲート電極と、少なくとも前記ドレインと前記ソースの間の前記絶縁層の上に前記ゲート電極に近接して形成された制御電極とを有するMOSFET型電子放出素子において、前記ゲート電極と前記制御電極が形成されていない前記絶縁層の表面に、前記ゲート電極及び前記制御電極とは電氣的に絶縁されたシールド電極を設けたことを特徴とするMOSFET型電子放出素子。

【請求項2】 p型半導体基板と、前記p型半導体基板の表面に形成されたn型半導体のドレインと、前記ドレインの表面に形成されたn型半導体のエミッタと、前記p型半導体基板の表面に形成されたn型半導体のソースと、前記ドレインと前記ソースを囲んで前記p型半導体基板の表面に形成された絶縁層と、前記エミッタを囲むように前記ドレインと前記ソースの間の前記絶縁層上に形成されたゲート電極とを有するMOSFET型電子放出素子において、前記ゲート電極が形成されていない前記絶縁層の表面に、前記ゲート電極とは電氣的に絶縁されたシールド電極を設けたことを特徴とするMOSFET型電子放出素子。

【請求項3】 前記シールド電極が電源を介してアースに接続されるか、または直接アースに接続された請求項1又は2記載のMOSFET型電子放出素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電界効果型トランジスタを応用した冷電子放出素子であるMOSFET型電子放出素子に関する。本発明のMOS(Metal Oxide Semiconductor) FET(Field Effect Transistor)型電子放出素子は、比較的低い真空雰囲気中で安定して作動可能であり、例えば蛍光表示管の原理を応用した電界放出型表示素子(Field Emission Display, 略してFED)のようなフラットパネルディスプレイを含む各種画像表示装置、スイッチング素子を含む各種超高速電子デバイス、さらに各種センサー等、種々の電子装置に应用可能である。

【0002】

【従来の技術】図5は従来のMOSFET型電子放出素子の一例を示す断面図であり、図6は同平面図である。MOSFET型電子放出素子とは、電界効果型トランジスタのドレイン部に電子を放出する先端の尖ったエミッタを形成した構造の電子放出素子である。

【0003】図5及び図6に示すように、p型半導体基

板100の表面には、n型半導体のドレイン101とソース102が間隔をおいて形成されている。前記ドレイン101は略円形であり、その表面の中央にはn型半導体である略円錐形状のエミッタ103が一体に形成されている。前記ソース102は前記ドレイン101の近傍に帯状に形成され、その先端部分が所定間隔をおいてドレイン101に近接している。このソース102には、アルミニウムパッドからなる引き出し用の電極であるソース端子104が設けられている。

【0004】p型半導体基板100の表面には、ドレイン101とソース102を囲んで絶縁層105が形成されている。前記絶縁層105の上には、エミッタ103を囲んでゲート電極106が形成されている。このゲート電極106は、アルミニウムパッドからなる引き出し用の電極であるゲート端子107に接続されている。前記絶縁層105の上には制御電極108が形成されている。制御電極108は、少なくとも前記ドレイン101と前記ソース102の間にある絶縁層105の上に形成され、かつ前記ゲート電極106に近接して設けられている。この制御電極108は、アルミニウムパッドからなる引き出し用の電極である制御電極端子109に接続されている。

【0005】上記の構成になるMOSFET型電子放出素子において、制御電極108とゲート電極106に電圧を加える。図5中に模式的に示すように、ドレイン101とソース102の間にある絶縁層105の下側のp型半導体基板100の表面に、反転層110、111が形成される。これによってソース102からドレイン101に電流が流れ、ゲート電極106によってエミッタ103の先端付近に発生した電界により、エミッタ103の先端から電子が放出される。エミッタ103からの電子の放出量は、制御電極108に加える電圧によって制御することができる。このMOSFET型電子放出素子は電子放出量の安定性及び制御性が高く、電界放出素子を実用化するための構想として有望なものの一つであると期待されている。

【0006】

【発明が解決しようとする課題】しかしながら、前記MOSFET型電子放出素子は、特に低真空条件下において駆動した場合に、エミッタの放出電流が異常に上昇してしまうという問題があった。図7は、MOSFET型電子放出素子を気密容器に収納して駆動した際の気密容器内の真空度を表す圧力(Pressure、単位Torr)とエミッタ電流(I_e 、単位 μA)を示すものである。この実験では気密容器内の気体は H_2 である。真空度が 10^{-6} Torrよりも低下すると、エミッタ電流は暴走を始め、急激に上昇して制御不能の状態になってしまう。

【0007】蛍光表示管の原理を応用した電界放出型表示素子(前記FED)においては、電子を蛍光体に射撃させて発光させることにより表示を行う。このため、電

3

子が射突した蛍光体等からはガスや微細な粒子等が発生するため、外囲器内の真空度を高く保持することは困難であり、蛍光体を有する発光表示部とを収納する外囲器内は、通常 10^{-6} Torr程度の真空度である。従って、FEDにおいて電子源にMOSFET型電子放出素子を用いると、エミッタ電流の制御が困難になるという問題があった。

【0008】前述したエミッタ電流が暴走する現象の原因を本発明者等は次のように分析した。即ち、気密容器内にあるガスがMOSFET型電子放出素子より放出された電子により正イオン化されてMOSFET型電子放出素子の絶縁層上にチャージアップし、この電荷が絶縁層下にあるp型半導体基板の表面に不用的な反転層を形成する。そして、この反転層からなる不用的な電流経路を介して余分な電流がソースからドレインに流れるため、エミッタ電流の暴走が起きる。

【0009】本発明は、MOSFET型電子放出素子においてエミッタ電流の暴走を防止し、低真空度の雰囲気においても安定した電子源として使用できるようにすることを目的としている。

【0010】

【課題を解決するための手段】請求項1に記載されたMOSFET型電子放出素子は、p型半導体基板(2)と、前記p型半導体基板の表面に形成されたn型半導体のドレイン(3)と、前記ドレインの表面に形成されたn型半導体のエミッタ(5)と、前記p型半導体基板の表面に形成されたn型半導体のソース(4)と、前記ドレインと前記ソースを囲んで前記p型半導体基板の表面に形成された絶縁層(7)と、前記エミッタを囲んで前記絶縁層の上に形成されたゲート電極(8)と、少なくとも前記ドレインと前記ソースの間の前記絶縁層の上に前記ゲート電極に近接して形成された制御電極(10)とを有するMOSFET型電子放出素子において、前記ゲート電極と前記制御電極が形成されていない前記絶縁層の表面に、前記ゲート電極及び前記制御電極とは電気的に絶縁されたシールド電極(12)を設けたことを特徴としている。

【0011】請求項2に記載されたMOSFET型電子放出素子は、p型半導体基板(2)と、前記p型半導体基板の表面に形成されたn型半導体のドレイン(3)と、前記ドレインの表面に形成されたn型半導体のエミッタ(5)と、前記p型半導体基板の表面に形成されたn型半導体のソース(4)と、前記ドレインと前記ソースを囲んで前記p型半導体基板の表面に形成された絶縁層(7)と、前記エミッタを囲むように前記ドレインと前記ソースの間の前記絶縁層上に形成されたゲート電極(8)とを有するMOSFET型電子放出素子において、前記ゲート電極が形成されていない前記絶縁層の表面に、前記ゲート電極とは電気的に絶縁されたシールド電極(12)を設けたことを特徴としている。

4

【0012】請求項3に記載されたMOSFET型電子放出素子は、請求項1又は2記載のMOSFET型電子放出素子において、前記シールド電極(12)を電源を介してアース(E)に接続するか、または直接アース(E)に接続したことを特徴としている。

【0013】

【発明の実施の形態】本発明の実施の形態の一例を図1～図4を参照して説明する。図1に示すように、本例のMOSFET型電子放出素子1は、電界効果型トランジスタのドレイン部に電子を放出する先端の尖ったエミッタを形成した構造の電子放出素子である。図1はMOSFET型電子放出素子1の断面図であり、図2は同平面図である。

【0014】図1及び図2に示すように、p型半導体基板2の表面には、n型半導体のドレイン3とソース4が間隔をおいて形成されている。ドレイン3は略円形であり、その表面の中央にはn型半導体である略円錐形状のエミッタ5が一体に形成されている。ソース4はドレイン3の近傍に帯状に形成され、その先端部分が所定間隔をおいてドレイン3に近接している。このソース4には、アルミニウムパッドからなる引き出し用の電極であるソース端子6が設けられている。

【0015】p型半導体基板2の表面には、ドレイン3とソース4を囲んで絶縁層7が形成されている。絶縁層7の上には、エミッタ5を囲んでゲート電極8が形成されている。このゲート電極8は、アルミニウムパッドからなる引き出し用の電極であるゲート端子9に接続されている。

【0016】絶縁層7の上には制御電極10が形成されている。制御電極10は、少なくともドレイン3とソース4の間にある絶縁層7の上に形成され、かつゲート電極8に近接して設けられている。この制御電極10は、アルミニウムパッドからなる引き出し用の電極である制御電極端子11に接続されている。

【0017】ゲート電極8と制御電極10が形成されていない絶縁層7の表面には、ゲート電極8及び制御電極10とは電気的に絶縁されたシールド電極12が設けられている。シールド電極12は電源を介するあるいは直接にアースEに接続されており、絶縁層7に電荷がチャージしないようになっている。

【0018】本例のMOSFET型電子放出素子1の製造工程を図3を参照して説明する。図3(a)に示すように、p型半導体基板2(本例ではp型シリコン基板)の上に、円形のマスク13を形成する。このマスク13を得るには、p型半導体基板2を熱酸化することによってSiO₂の層を形成し、これをフォトリソグラフィとエッチングによって所望の形状にすればよい。

【0019】図3(b)に示すように、前記マスク13が設けられたp型半導体基板2の表面をプラズマエッチング等の手段によって加工し、マスク13の下側に後に

5

エミッタ5となる尖った部分を形成する。

【0020】図3(c)に示すように、p型半導体基板2の表面を熱酸化して酸化膜14を形成する。この酸化膜14は最終的には前記絶縁層7となる。マスク13の下方の尖った部分に形成された酸化膜14の下側には、酸化されずに残ったp型半導体基板2の表面に尖鋭なコーン形状の部分ができる。このコーン形状の部分は最終的には前記エミッタ5になる。

【0021】図3(d)に示すように、Nbをp型半導体基板2の表面に蒸着によって被着し、酸化膜14とマスク13の表面に金属薄膜としてのNb膜15を形成する。このNb膜15は、後に前記各種電極となる。

【0022】図3(e)に示すように、Nb膜15にソース4となる部分をパターンニングする。緩衝フッ酸処理でソース4となる部分の酸化膜14と、エミッタ5となる部分の上の酸化膜14及びマスク13を除去し、図3(f)の構造を得る。

【0023】図3(f)に示すように、p型半導体基板2の表面にイオン注入処理を施す。図3(g)に示すように、Nb膜15によりシールドされ、Nb膜15の下部領域の半導体基板には注入されず、p型半導体基板2が露出している部分のみに選択的にイオンが注入され、アノール処理を施すことにより、活性化されてn型領域のドレイン3及びエミッタ5とソース4になる。

【0024】図3(h)に示すように、フォトリソグラフィ又はプラズマエッチング等の手法によりNb膜15をパターンニングし、ゲート電極8と制御電極10とシールド電極12を形成する。図示しないが、駆動時にはゲート電極8と制御電極10を駆動回路に接続し、シールド電極12は電源を介するか、あるいは直接にアースする。

【0025】上記の工程にて作成された前記MOSFET型電子放出素子1の作用を説明する。制御電極10とゲート電極8に電圧を加える。図1中に模式的に示すように、ドレイン3とソース4の間にある絶縁層7の下側のp型半導体基板2の表面に、反転層16、17が形成される。これによってソース4からドレイン3に電流が流れる。ゲート電極8によってエミッタ5の先端付近に発生した電界により、エミッタ5の先端から電子が放出される。エミッタ5からの電子の放出量は、制御電極10に加える電圧によって制御することができる。

【0026】図4は、本例のMOSFET型電子放出素子1を気密容器に収納した際の気密容器内の真空度を表す圧力(Pressure、単位 μ A)とエミッタ電流(I_e 、単位 μ A)を示すものである。この実験では気密容器内の気体は H_2 である。真空度が 1.0^{-6} Torrから 1.0^{-5} Torrの間で変化しても、エミッタ電流は 0.2μ A前後に安定している。

【0027】本例によれば、絶縁層7の表面の内、ゲート電極8と制御電極10が形成されている部分以外の部

6

分にシールド電極12を形成し、これを電源を介するか、あるいは直接アースEに接続しているため、絶縁層7に正電荷がチャージすることがない。このため、ゲート電極8及び制御電極10以外の部分で、絶縁層7の下側のp型半導体基板2に反転層が形成されることがなく、不用な電流経路を介して余分な電流がソース4からドレイン3に流れることもない。即ち、エミッタ電流の暴走は起きず、ソース4からドレイン3には規定の電流が流れる。シールド電極12を電源を介してアースEに接続した場合のシールド電極12の電位は、MOSFETのしきい値電圧以下の電位に設定すればよい。

【0028】このように本例のMOSFET型電子放出素子1は低い真空雰囲気のもとにおいても電子放出量の安定性及び制御性が高い。特に、駆動時に発生するガス等のために高真空状態が保持できない蛍光表示管においては、本例のMOSFET型電子放出素子1は電子源として実用的であり、電界放出素子を実用化するための構造として極めて有用である。

【0029】以上説明した一例では、 H_2 雰囲気中で実験を行ったが、 N_2 や H_e 雰囲気においても同様の効果が得られる。即ち、このようなガス雰囲気においても、従来のMOSFET型電子放出素子1は 1.0^{-7} Torrより低い真空度でエミッタ電流が暴走するが、本例のMOSFET型電子放出素子1は 1.0^{-6} Torr程度となってもエミッタ電流は安定している。

【0030】以上説明した一例は、ゲート電極8と制御電極10を有するMOSFET型電子放出素子1においてシールド電極12を設けたものであったが、本発明はゲート電極8と制御電極10が電極として一体となつたMOSFET型電子放出素子にも適用可能である。このようなMOSFET型電子放出素子においては、エミッタを囲むゲート電極が、ソースとドレインの間の絶縁層上を覆っている。そして、このゲート電極に電圧を加えれば、ドレインとソースの間のp型半導体基板に反転層が生じて電流が流れ、エミッタには電界が与えられて電子が放出される。

【0031】しかしながら、一般にゲート電極には制御電極よりも高い電圧を加える必要があるため、両電極をひとつにした場合には、これに印加する電圧はゲート電極に加える高い電圧となる。この高い電圧を印加した場合には、ゲート電極下部に形成される反転層の伝導度が高くなり、反転層を流れる電流がエミッタから放出される電流よりも大きくなるため、MOSFETでの電流制御ができない場合も生じる。このため、ゲート電極と制御電極を一体とする場合には、反転層電流がエミッタ電流よりも小さくなるようにゲート電極形状を設計する必要がある。

【0032】

【発明の効果】従来のMOSFET型電子放出素子においては、 1.0^{-6} Torr台でエミッタ電流の上昇が起きる

7
が、従来露出していた絶縁層の表面をシールド電極で覆った本発明によれば、電荷のチャージによって電流の経路が広がることが確実に防止され、これによりエミッタ電流は真空度によらず安定し、真空度の低下によってエミッタ電流が急激に上昇することは防止された。このため、本発明のMOSFET型電子放出素子は、パッケージ（外囲器）の性能に厳密な気密性が要求されない簡略な構造のFED等に電子源として採用することが可能である。

【図面の簡単な説明】

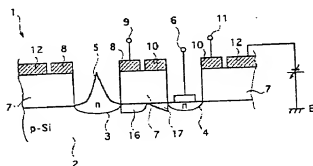
【図1】本発明の実施の形態の一例であるMOSFET型電子放出素子の断面図である。

【図2】本発明の実施の形態の一例であるMOSFET型電子放出素子の平面図である。

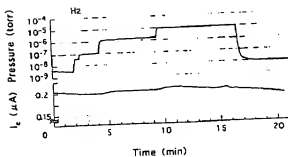
【図3】本発明の実施の形態の一例であるMOSFET型電子放出素子の製造工程図である。

【図4】本発明の実施の形態の一例であるMOSFET型電子放出素子の性能を示す図であって、作動環境の真空度とエミッタ電流との関係を示す図である。

【図1】



【図4】



【図5】従来のMOSFET型電子放出素子の断面図である。

【図6】従来のMOSFET型電子放出素子の平面図である。

【図7】従来のMOSFET型電子放出素子の性能を示す図であって、作動環境の真空度とエミッタ電流との関係を示す図である。

【符号の説明】

1 MOSFET型電子放出素子

2 p型半導体基板

3 ドレイン

4 ソース

5 エミッタ

7 絶縁層

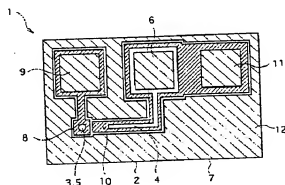
8 ゲート電極

10 制御電極

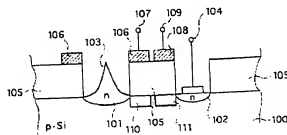
12 シールド電極

E アース

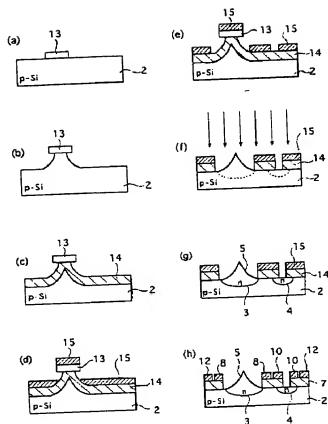
【図2】



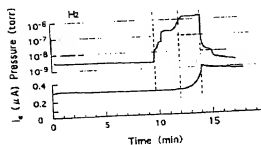
【図5】



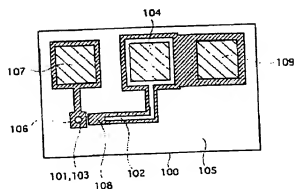
【図 3】



【図 7】



【図 6】



フロントページの続き

- (72) 発明者 鹿川 能孝
千葉県茂原市大芝629 双葉電子工業株式
会社内
- (72) 発明者 伊藤 茂生
千葉県茂原市大芝629 双葉電子工業株式
会社内

- (72) 発明者 伊藤 順司
茨城県つくば市梅園1丁目1番-4 工業技
術院電子技術総合研究所内
- (72) 発明者 金丸 正剛
茨城県つくば市梅園1丁目1番-4 工業技
術院電子技術総合研究所内